

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 60-086625

(43) Date of publication of application : 16.05.1985

(51)Int.Cl. G06F 9/32

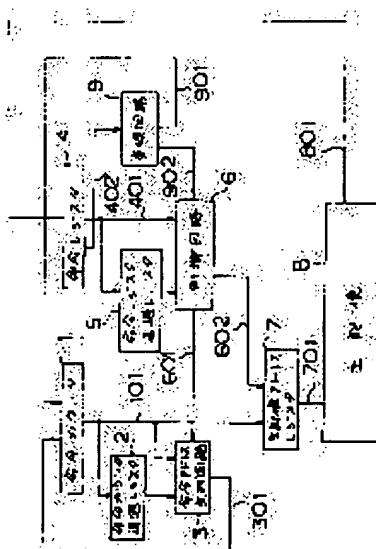
(21)Application number : 58-194401 (71)Applicant : NEC CORP
(22)Date of filing : 19.10.1983 (72)Inventor : NAKASE KUNIO

(54) DATA PROCESSING DEVICE

(57) Abstract:

PURPOSE: To execute instructions quickly by providing a converting circuit to generate a main storage address or the start address of an instruction sequence in a high speed.

CONSTITUTION: A software instruction code stored in an instruction register 4 is inputted to a converting circuit 9, and the circuit 9 generates a start address with which this instruction code is converted to the start address of a corresponding instruction sequence on a main storage device 8. That is, the instruction code of the register 4 is inputted as an address signal to the circuit 9, and the circuit 9 reports presence/absence of the instruction sequence corresponding to this instruction code to a control circuit 6 through a signal line 902. If the instruction sequence exists, the start address of the instruction sequence on the main storage device 8 is supplied to an instruction counter 1 through a signal line 901. Thus, the main storage address or the start address of the instruction sequence is generated in a high speed to execute instructions quickly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

[rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁 (JP) ⑩特許出願公開
⑪公開特許公報 (A) 昭60-86625

⑥Int.Cl.¹
G 06 F 9/32

識別記号 庁内整理番号
7361-5B

⑦公開 昭和60年(1985)5月16日

審査請求 未請求 発明の数 1 (全5頁)

⑧発明の名称 データ処理装置

⑨特 願 昭58-194401
⑩出 願 昭58(1983)10月19日

⑪発明者 中瀬 邦夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑫出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑬代理人 弁理士 住田 俊宗

明細書

1.発明の名称

データ処理装置

2.特許請求の範囲

ソフトウェア命令群から構成される命令プログラム、および上記ソフトウェア命令群の一部のソフトウェア命令の命令コードに対応して当該ソフトウェア命令の処理手順を他のソフトウェア命令の組合せで記述した命令シーケンスをあらかじめ定められたエリアに格納した主記憶装置と、該主記憶装置を読み出す手段と、該手段によって読み出されたソフトウェア命令を格納するための命令レジスタと、該命令レジスタに格納されたソフトウェア命令の命令コードを入力し当該命令コードを当該命令コードに対応する前記命令シーケンスの主記憶上の開始アドレスに変換出力する先頭アドレス生成手段とを備えたことを特徴とするデータ処理装置。

3.発明の詳細な説明

発明の属する技術分野

本発明は、データ処理装置に関し、特に主記憶装置の命令アドレスの生成に関する。

従来技術

主記憶装置に格納された命令プログラムを実行するときは、命令プログラムを構成するソフトウェア命令を、順次読み込んで実行し、次のソフトウェア命令の格納されている主記憶アドレスは、ソフトウェア命令中の命令コードの指定によって、当該ソフトウェア命令中のオペランドの内容、オペランドの指示するソフトウェア命令にて取扱いうる各種レジスタの内容、あるいは当該ソフトウェア命令の主記憶アドレスをもとに加算または減算を実施することによって生成している。また、一部のソフトウェア命令が、他のソフトウェア命令の組合せで記述された命令シーケンスの実行によって代行されるときは、その命令シーケンスの主記憶上の先頭アドレスを生成する必要がある。

このため、従来のデータ処理装置は、主記憶装置から次の命令を読み出すための、次アドレスの生

成に時間を要し、迅速なプログラム実行を阻害するという欠点がある。

発明の目的

本発明の目的是、上述の従来の欠点を解決し、主記憶アドレスまたは命令シーケンスの開始アドレスを高速に生成することにより、迅速な命令実行を可能としたデータ処理装置を提供することにある。

発明の構成

本発明のデータ処理装置は、ソフトウェア命令群から構成される命令プログラム、および上記ソフトウェア命令群の一部のソフトウェア命令の命令コードに対応して当該ソフトウェア命令の処理手順を他のソフトウェア命令の組合せで記述した命令シーケンスをあらかじめ定められたエリアに格納した主記憶装置と、該主記憶装置を読み出す手段と、該手段によって読み出されたソフトウェア命令を格納するための命令レジスタと、該命令レジスタに格納されたソフトウェア命令の命令コードを入力し当該命令コードを当該命令コードに対応

する前記命令シーケンスの主記憶上の開始アドレスに変換出力する先頭アドレス生成手段とを備えたことを特徴とする。

発明の実施例

次に、本発明について、図面を参照して詳細に説明する。

第1図は、以下に述べる本発明の一実施例において記述されるソフトウェア命令の代表的な構成を示す。すなわち、ソフトウェア命令は、処理内容を指示する命令コードA1と、該命令を実施するために必要な各種データの格納位置あるいはデータ内容を示すオペランドA2から構成される。なお、一般に、ソフトウェア命令は、データ処理装置を構成する種々の論理的、物理的原因によって各種の形態をとりうるが説明の簡易化のために必要かつ最小限の一例について説明する。

第2図は、本発明の一実施例を示すプロック図である。同図において、主記憶装置8には、命令プログラムと命令シーケンスが格納されている。

命令プログラムは、ソフトウェア命令群から構成される。上記ソフトウェア命令群のうちの一部のソフトウェア命令の実行は、当該ソフトウェア命令の命令コードに対応して、あらかじめ定められた主記憶エリアに格納された他のソフトウェア命令の組合せで記述された命令シーケンスの実行によって代行される。

主記憶アドレスレジスタ7は主記憶装置8をアクセスするための主記憶アドレスを格納するためのレジスタ、命令カウンタ1は現在実行中のソフトウェア命令の主記憶アドレスを示すレジスタであり、命令カウンタ1の内容により、指示された主記憶装置8のアドレスからソフトウェア命令が取出される。なお命令カウンタ1の内容は、信号線101を介して次命令アドレス生成回路3に与えられる。命令カウンタ退避レジスタ2は、後述の命令シーケンス実施の際に命令レジスタ4の内容を退避させるためのレジスタであり、共に制御回路6に命令の処理内容を指示する。

命令レジスタ4は、実行中の命令を格納するためのレジスタで、命令レジスタ退避レジスタ5は後述の命令シーケンス実施の際に命令レジスタ4の内容を退避させるためのレジスタであり、共に制御回路6に命令の処理内容を指示する。

制御回路6は、ソフトウェア命令の実行を制御する回路であり、命令レジスタ4または命令レジスタ退避レジスタ5に格納されたソフトウェア命令によって与えられた動作指示を実行するとともに、次命令アドレス生成回路3または変換回路9によって当該ソフトウェア命令に続くソフトウエ

ア命令のアドレス、または対応する命令シーケンスの先頭アドレスを生成させ、その結果によつて命令カウンタ1を更新する。なお、信号線602を介して、ソフトウェア中のオペランドによつて生成された主記憶アドレスによつて主記憶装置8をアクセスするが、これは本発明には直接の関係はないので説明を省略する。

変換回路9は、命令レジスタ4に格納されたソフトウェア命令の命令コードを入力し当該命令コードを当該命令コードに対応する命令シーケンスの主記憶上の開始アドレスに変換出力する先頭アドレス生成手段であり、第3図に示すようなメモリによつて構成されている。

すなわち、命令レジスタ4から入力される命令コードA1で示されるアドレスのワードには、当該命令コードに対応する命令シーケンスの有無を表示する有効フラグ9-1および上記命令シーケンスの主記憶装置8上での開始アドレスを示す命令シーケンス開始アドレス9-2が格納されている。すなわち、変換回路9は、命令レジスタ4の

命令コードA1をアドレス信号として入力し、上記命令コードに対応する命令シーケンスの有無を信号線902を介して前記制御回路6に通知し、かつ、命令シーケンスが存在する場合には、その命令シーケンスの主記憶装置8上の開始アドレスを信号線901を介して前記命令カウンタ1に供給する。

次に、本実施例の動作について、第1図～第3図を参照しながら説明する。

まず、命令カウンタ1で示される主記憶アドレスが信号線101、主記憶アドレスレジスタ7および信号線701を経て主記憶装置8に与えられ、主記憶装置8の該当アドレスからソフトウェア命令が読み出される。該命令は、信号線801を経て、命令レジスタ4に格納される。

次に、命令レジスタ4に格納されたソフトウェア命令の命令コードA1が信号線402を介して変換回路9に供給され、有効フラグ9-1によつて当該命令に対応する命令シーケンスの有無が判定される。

ここで、命令コードに対応する命令シーケンスが存在しない場合、すなわち、変換回路9内の当該命令コードに対応する有効フラグ9-1が無効を示す“0”である場合は、その旨を信号線902によつて制御回路6に通知する。制御回路6には、命令レジスタ4から信号線401によつて上記ソフトウェア命令が供給されており、制御回路6は上記通知を受けると、上記ソフトウェア命令の指示によつて処理を実施する。そして、処理の終了時に、次アドレスの生成に必要なデータを信号線601を介して次命令アドレス生成回路3に供給する。

次命令アドレス生成回路3は、命令カウンタ1から入力されている現在実行中のアドレス、および制御回路6から供給されたデータに基づいて、上記ソフトウェア命令に従くソフトウェア命令の主記憶上のアドレス(次命令アドレス)を生成して信号線301を介して命令カウンタ1に供給し、命令カウンタ1の内容を更新する。以下同様にして、主記憶装置8からソフトウェア命令が次

々と読み出されて処理が続行される。

前記変換回路9による命令の解説時に、当該命令コードに対応する命令シーケンスが存在する場合、すなわち、変換回路9内の当該命令コードに対応する有効フラグ9-1が有効を示す“1”である場合は、以下に述べる手順に従つて、上記対応する命令シーケンスの主記憶装置8上の先頭アドレスが読み出される。

すなわち、変換回路9は当該命令コードで示されるアドレスから有効フラグ9-1を読み出して、信号線902を介して制御回路6に通知する。制御回路6は、有効フラグ9-1が“1”である場合は、命令カウンタ1の内容を命令カウンタ退避レジスタ2に退避させ、命令レジスタ4の内容を命令レジスタ退避レジスタ5に退避させて、命令カウンタ1と命令レジスタ4を使用可能とする。次に、変換回路9から当該命令コードに対応する命令シーケンス開始アドレス9-2を読み出して、信号線901を介して命令カウンタ1に格納させる。

構成することも可能である。

発明の効果

以上のように、本発明においては、各ソフトウエア命令の命令コードを、当該命令コードに対応してあらかじめ定められた主記憶上のエリアに格納された他のソフトウェア命令群で構成される命令シーケンスの開始アドレスに変換出力する手段を備えて、一部のソフトウェア命令が上記他の命令シーケンスによつて代行される場合は、その開始アドレスを前記手段によつて出力するように構成したから、上記命令シーケンスの開始アドレスの生成を高速に実施できるという効果を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例において使用するソフトウェア命令の基本的な構成例を示す図、第2図は本発明の一実施例を示すプロック図、第3図は上記実施例の変換回路の詳細を示す図である。

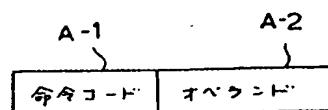
図において、1：命令カウンタ、2：命令カウ

ンタ退避レジスタ、3：次命令アドレス生成回路、4：命令レジスタ、5：命令レジスタ退避レジスタ、6：間隔回路、7：主記憶アドレスレジスタ、8：主記憶装置、9：変換回路。

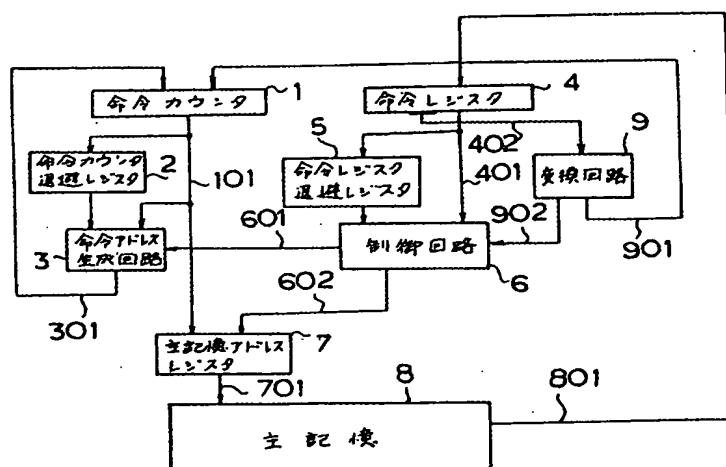
山頼人 日本電気株式会社

代理人 弁理士 住田俊宗

第 1 図



第 2 図



第 3 図

